

Poznań, 29.09.2015

dr inż. Rafał Długosz
Uniwersytet Technologiczno-Przyrodniczy,
Wydział Telekomunikacji Informatyki i Elektrotechniki,
Bydgoszcz
e-mail: rafal.dlugosz@gmail.com

Oświadczenie

Oświadczam, że w niżej wymienionych publikacjach objętych moją rozprawą habilitacyjną swój udział oceniam następująco:

L.p.	Tytuł artykułu	Udział
1	R. Długosz, "New Architecture of Programmable SC FIR Filter with Circular Memory", <i>12th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)</i> , Kraków, Poland, pp.153–158, (June 2005)	100 %
2	R. Długosz, K. Iniewski, "Programmable Switched Capacitor Finite Impulse Response Filter with Circular Memory Implemented in CMOS 0.18 μ m Technology", <i>Journal of Signal Processing Systems (formerly the Journal of VLSI Signal Processing Systems for Signal, Image, and Video Technology)</i> , Springer New York, Vol. 56, No. 2-3, pp. 295–306, (September 2009)	85 %
3	R. Długosz, "Analog, Continuous Time, Fully Parallel, Programmable Image Processor Based on Vector Gilbert Multiplier", <i>International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)</i> , Ciechocinek, Poland, pp.231–236, (June 2007)	100 %
4	R. Długosz, V. Gaudet, R. Wojtyna, "Gilbert-Multiplier-Based Parallel 1-D and 2-D Analog FIR Filters for Medical Diagnostics", Chapter 9 in <i>Computers in Medical Activities</i> , Book series: Advances in Intelligent and Soft Computing, ISSN: 1615-3871, ISBN: 978-3-642-04461-8, Vol. 65 / 2009, pp. 85-99, Springer-Verlag, Berlin / Heidelberg, (2009)	70 %
5	R. Długosz, V. Gaudet, "An Asynchronous Programmable Parallel 2-D Image Filter CMOS IC Based on the Gilbert Multiplier", <i>International Conference on Biomedical Electronics and Devices (BIODEVICES)</i> , Porto, Portugal, pp.46–51, (January 2009)	90 %
6	R. Długosz, K. Iniewski, "Flexible Architecture of Ultra-Low-Power Current-Mode Interleaved Successive Approximation Analog-To-Digital Converter for Wireless Sensor Networks", <i>VLSI Design Journal</i> , Hindavi Publishing, VLSI Design, Vol. 2007, Article ID 45269, 13 pages, DOI:10.1155/2007/45269, (2007),	75 %
7	R. Długosz, K. Iniewski, "Analog-to-Digital Converters for Radiation Detection Electronics", Chapter 11 in <i>Electronics for Radiation Detection (Devices, Circuits, and Systems)</i> , CRC Press, 1st edition, ISBN-10: 1439816484, ISBN-13: 978-1439816486, (edited by: K. Iniewski), pp.285–312, (August 05, 2010),	80 %
8	R. Długosz, G. Fischer, "Low Chip Area, Low Power Dissipation, Programmable, Current Mode, 10-bits, SAR ADC Implemented in the CMOS 130nm Technology", <i>International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)</i> , Gdynia, Poland, (June 2015)	90 %



9	R. Długosz, T. Talaśka, W. Pedrycz, R. Wojtyna "Realization of the Conscience Mechanism in CMOS Implementation of Winner-Takes-All Self-Organizing Neural Networks", <i>IEEE Transactions on Neural Networks</i> , Vol. 21, Iss.6, pp.961–971, June 2010	40 %
10	R. Długosz, T. Talaśka, W. Pedrycz, "Current-Mode Analog Adaptive Mechanism for Ultra-Low Power Neural Networks", <i>IEEE Transactions on Circuits and Systems-II: Express Briefs</i> , Vol. 58, Iss. 1, pp. 31–35, Jan. 2011	50 %
11	R. Długosz, T. Talaśka, "Low Power Current-Mode Binary-Tree Asynchronous Min/Max Circuit", <i>Microelectronics Journal</i> , Elsevier, Vol.41, No.1, pp.64–73, Jan. 2010	60 %
12	R. Długosz, W. Pedrycz, "Łukasiewicz Fuzzy Logic Networks and Their Ultra Low Power Hardware Implementation", <i>Neurocomputing</i> , Elsevier, Vol. 73, Iss.7-9, pp.1222–1234, March 2010	80 %
13	R. Długosz, T. Talaśka, "A Power-Efficient, Current-Mode, Binary-Tree Min / Max Circuit for Kohonen Self-Organizing Feature Maps and Nonlinear Filters", <i>Przegląd Elektrotechniczny</i> , ISSN: 0033-2097, ISSN 0033-2097, R. 86 NR 11a/2010, pp.237–241, Nov. 2010	60 %
14	R. Długosz, K. Iniewski, "High precision analogue peak detector for X-ray imaging applications", <i>Electronics Letters</i> , Vol. 43, Issue 8, pp. 440–441, (12 April 2007),	80 %
15	R. Długosz, "Asynchronous Front-End ASIC For X-Ray Medical Imaging Applications Implemented In CMOS 0.18 μ m Technology", <i>15th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)</i> , Poznan, Poland, pp.627–632, (June 2008)	100 %
16	R. Długosz, P.A. Farine, K. Iniewski, "Power Efficient Asynchronous Multiplexer for X-Ray Sensors in Medical Imaging Analog Front-End Electronics", <i>Microelectronics Journal</i> , Elsevier, Vol. 42, Iss. 1, pp.33-42, Jan. 2011	75 %
17	R. Długosz, R. Wojtyna, "Novel CMOS Analog Pulse Shaping Filter for Solid State X-Ray Sensors in Medical Imaging Systems", Chapter 16 in <i>Computers in Medical Activities</i> , Book series: Advances in Intelligent and Soft Computing, ISSN: 1615-3871, ISBN: 978-3-642-04461-8, Vol. 65 / 2009, pp. 155-165, Springer-Verlag, Berlin / Heidelberg, (2009)	80 %

W publikacjach tych mój udział szczegółowy był następujący:

1. Wkład w tym artykule nie wymaga szerszego komentarza z racji tego, że jestem jego jedynym autorem. W artykule zaproponowałem nowatorską architekturę filtru z przełączanymi kondensatorami z pamięcią cyrkularną oraz dokonałem analizy porównawczej tego układu z wykonanym wcześniej w technologii CMOS 0.35 μ m filtrem z kluczem rotacyjnym. Głównym celem artykułu było zaprezentowanie koncepcji układu, podczas gdy jego weryfikacja została przeprowadzona w kolejnej pracy z tego cyklu, opisanej poniżej.
2.
 - Koncepcja układu – praca jest kontynuacją wcześniejszej pracy (MIXDES 2005) w której przedstawiłem pomysł architektury filtru.
 - Koncepcja architektury rekonfigurowalnej – możliwość kaskadowego łączenia dwóch sekcji, lub takiego ich połączenia, które pozwala uzyskać filtr o nieskończonej odpowiedzi impulsowej (ang. IIR – Infinite Impulse Response),
 - Projekt układu na poziomie tranzystorów oraz jego symulacyjna weryfikacja w technologii TSMC CMOS 180 nm.

3. Wkład w tym artykule nie wymaga szerszego komentarza z racji tego, że jestem jego jedynym autorem. W artykule zaproponowałem koncepcję zastosowania wektorowych układów mnożących Gilberta do realizacji równoległych filtrów obrazu pracujących całkowicie asynchronicznie bez konieczności stosowania sterującego systemu zegarowego.

Koncepcja układu została zweryfikowana poprzez realizację na poziomie tranzystorów przykładowego filtru o rozdzielczości 8x8 pikseli. Układ jest programowalny. Umożliwia w bardzo prosty sposób uzyskanie różnych masek zarówno dolno jak i górnoprzepustowych. W artykule układ został zweryfikowany symulacyjnie dla obu typów masek.

4. • Koncepcja dwóch wariantów filtru analogowego zbudowanego w oparciu o układy mnożące Gilberta. Jedna wersja tego filtru umożliwia pracę z sygnałami 1-D próbkowanymi w dziedzinie czasu. Druga wersja pozwalająca na pracę z sygnałami 2-D próbkowanymi w dziedzinie współrzędnych obrazu jest kontynuacją prac przedstawionych w poprzednim artykule, w którym mój udział był 100-procentowy. Jedną z nowych rzeczy w tym artykule jest koncepcja zastosowania zaproponowanego filtru 2-D w operacjach interpolacji oraz decymacji obrazu,
- Analiza wpływu zjawiska niedopasowania tranzystorów na dokładność filtru,
 - Projekt układu na poziomie tranzystorów oraz jego postlayoutowa weryfikacja symulacyjna w technologii TSMC CMOS 180 nm.
5. • Projekt układu scalonego zawierającego trzy prototypowe filtry obrazu opisane w dwóch poprzednich pracach. Wszystkie filtry mają taką samą strukturę układową, natomiast różnią się wymiarami tranzystorów. Wykonano je celem eksperymentalnego zbadania wpływu rozmiarów tranzystorów na zjawisko niedopasowania oraz dokładność przetwarzania informacji w filtrach.
- Przeprowadzenie pomiarów wykonanego prototypu filtru oraz analizy uzyskanych wyników.
6. • Koncepcja przetwornika analogowo-cyfrowego typu SAR pracującego w trybie prądowym,
- Koncepcja przetwornika analogowo-cyfrowego typu interleaved SAR pracującego w trybie prądowym,
 - Koncepcja układu zegarowego opartego na liczniku analogowym wraz z nowatorskim układem kompensacji temperaturowej. Licznik analogowy jest modyfikacją (wprowadzoną przez mnie) wcześniejszego układu tego typu zaproponowanego przez dr Tomasza Talaškę, natomiast układ kompensacji jest całkowicie mojego autorstwa.
 - Realizacja obu przetworników w technologii TSMC CMOS 180 nm,
 - Główny udział w przygotowaniu artykułu do czasopisma w tym bardzo szerokiego studium literatury, które objęło kilkaset prac z tej dziedziny.
7. • Praca jest kontynuacją poprzedniego artykułu. Ze względu na to że jest to rozdział w książce, dlatego w przeważającej części obejmuje on analizę literatury przedmiotu z ukierunkowaniem na układy możliwe do zastosowania w medycynie nuklearnej. Analiza literatury wraz z prezentacją wyników jest mojego autorstwa.
- Koncepcja przetwornika analogowo-cyfrowego typu SAR pracującego w trybie prądowym ze zmodyfikowanym przetwornikiem cyfrowo-analogowym, który jest jednym z głównych komponentów w tym układzie. Modyfikacja polegała na zastosowaniu innego sterującego bloku cyfrowego, oraz na zastosowaniu dwustopniowej konwersji cyfrowo-analogowej.
 - Realizacja przetwornika w technologii CMOS 180 nm oraz jego weryfikacja symulacyjna,
 - Główny udział w przygotowaniu rozdziału do książki.
8. Koncepcja (mojego autorstwa) przetwornika analogowo-cyfrowego typu SAR pracującego w trybie prądowym ze zmodyfikowanym przetwornikiem cyfrowo-analogowym, który jest jednym z komponentów w tym układzie. Zastosowanie dwustopniowego przetwornika DAC pozwoliło zrealizować

układ o rozdzielczości 10 bitów, który dodatkowo jest programowany. Zastosowanie kaskodowych luster prądowych pozwoliło uzyskać bardzo dobrą, liniową charakterystykę wejściowo-wyjściową przetwornika DAC dostarczającego prąd odniesienia do komparatora,

- Realizacja przetwornika w technologii CMOS 130 nm oraz jego polayoutowa weryfikacja symulacyjna. Układ na tą chwilę prawdopodobnie oferuje najmniejszą powierzchnię spośród przetworników tego typu. Układ zaprojektowałem w trakcie mojego pobytu na stypendium naukowym w Instytucie IHP Microelectronics we Frankfurcie nad Odrą w Niemczech. Układ został bardzo dokładnie zweryfikowany symulacyjnie (analiza narożnikowa) i obecnie jest w produkcji w IHP.
 - Główny udział w przygotowaniu artykułu.
- 9.
- Udział w pracach nad koncepcją sprzętowej implementacji mechanizmu sumienia stosowanego w sieciach neuronowych Kohonena. Mechanizm musiał zostać dostosowany do potrzeb jego zastosowania w analogowym układzie scalonym CMOS o bardzo małej powierzchni oraz bardzo niskim poborze mocy. Projekt układu był realizowany zespołowo, w związku z czym szczegółowego wyjaśnienia wymaga podział zadań:
 - Przedstawiony w artykule układ sumienia składa się z trzech bloków składowych o podobnej złożoności: Licznika analogowego, który w wersji pierwotnej był autorstwa dr Talaśki (przedstawiony w jego rozprawie doktorskiej – str. 93 rys. 5.44), układu kompensacji temperaturowej całkowicie mojego autorstwa (w rozprawie układ ten nie występuje), oraz konwertera U/I autorstwa prof. Ryszarda Wojtyny, który był promotorem dr Talaśki.
 - Układ kompensacji temperaturowej wywodzi się z jednej z moich wcześniejszych prac (VLSI Design 2007 - praca z dr Krzysztofem Iniewskim) dotyczącej przetworników A/C pracujących w trybie prądowym. Zegar sterujący w tym przetworniku zawierał generator impulsów, który składał się licznika analogowego oraz podobnego układu kompensacji temperaturowej. W artykule VLSI DESIGN przedstawiłem również weryfikację układu kompensacji wraz z licznikiem przy różnych temperaturach (0 i 100°C).
 - W wersji licznika przedstawionej w rozprawie doktorskiej dr Talaśki modulo sterowane było za pomocą napięcia V_{ctr} (str. 92-93), podczas gdy szerokość impulsu otwierającego tranzystor PMOS była stała. Inne podejście zastosowałem w układzie przedstawionym we wspomnianej pracy VLSI DESIGN jak również w tym artykule. Ponieważ wartość modulo licznika była niestabilna temperaturowo (wahania na poziomie nawet 100 % w przedziale od 0 do 100°C), dlatego zaproponowałem układ kompensacji temperaturowej, który automatycznie dostosowywał szerokość impulsu otwierającego tranzystor PMOS do temperatury otoczenia. Dzięki temu w szerokim zakresie temperatur modulo miało prawie stałą wartość.
 - W porównaniu z wcześniejszą wersją licznika analogowego autorstwa dr Talaśki zmieniłem schemat sterowania układem tak aby bezpośrednio połączyć bramkę tranzystora PMOS w liczniku z układem kompensacji temperaturowej. Dzięki temu nie ma wpływu parametrów temperaturowych elementów pośredniczących na szerokość impulsu sterującego tranzystorem PMOS, co również powoduje poprawę parametrów całego układu.
 - Udział w projekcie układu scalonego (layout) sieci WTA – w tym przypadku projekt układu kompensacji temperaturowej oraz wprowadzenie opisanych modyfikacji na poziomie layoutu do licznika analogowego. Zaprojektowałem też layout konwertera U-I na podstawie schematu dostarczonego przez prof. Wojtynę. Następnie brałem udział w weryfikacji symulacyjnej opisanych bloków.
 - Analiza wpływu zjawiska niedopasowania tranzystorów w celu doboru optymalnych wymiarów poszczególnych tranzystorów. Analiza taka nie była przeprowadzona w rozprawie dr Talaśki w

żadnym z prezentowanych przez niego układów, natomiast ja podobną analizę i optymalizację stosowałem już wcześniej w innych swoich pracach:

- ISCAS 2008 (Długosz, Gaudet): “Current-mode Memory Cell with Power Down Phase for Discrete Time Analog Iterative Decoders”,
 - SPRINGER 2009 rozdział 9 (Długosz, Gaudet, Wojtyna): “Gilbert-Multiplier-Based Parallel 1-D and 2-D Analog FIR Filters for Medical Diagnostics”,
 - Biodevices 2009 (Długosz, Gaudet): “An asynchronous programmable parallel 2-D image filter CMOS IC Based on the Gilbert Vector Multiplier”,
 - Neurocomputing 2010 (Długosz, Pedrycz): “Łukasiewicz Fuzzy Logic Networks and Their Ultra Low Power Hardware Implementation”,
 - Microelectronics Journal 2010 (Długosz, Talaśka): “Low power current-mode binary-tree asynchronous Min/Max circuit”
- Współudział w analizie wpływu parametru K na zachowanie mechanizmu sumienia. Analiza ta nie występuje w rozprawie doktorskiej dr Talaśki.
 - Główny udział w redagowaniu artykułu do czasopisma, w tym opracowanie części ‘state-of-the-art’ w wersji znacznie rozszerzonej w stosunku do rozprawy dr Talaśki.
10. • W artykule przedstawiony został układ służący do adaptacyjnej modyfikacji wag neuronów w analogowej sieci neuronowej typu WTA. Pierwotna koncepcja układu w zaproponowaniu której miałem udział (główny udział miał dr Talaśka) została przedstawiona w jednej ze wspólnych publikacji z dr Tomaszem Talaśką (ESANN 2007), a następnie w jego rozprawie doktorskiej (Rys. 5.30, str. 75 rozprawy). Dr Talaśka w swojej rozprawie napisał (str. 85) : “*W literaturze spotkać można różne sposoby poprawy właściwości komórek pamięci, mające na celu zwiększanie długości czasu trzymania informacji [41]. Zespół naukowy, w którym pracuje autor rozprawy zaproponował także pewne rozwiązania komórek pamięci z wydłużonym czasem trzymania [46, 169, 172, 173]. Prace nad dalszym ulepszaniem parametrów takich pamięci są kontynuowane. Autor w zaprojektowanej sieci Kohonena nie zastosował żadnych układów odświeżania informacji. Problem ten zostanie podjęty w kolejnych implementacjach sieci WTA.*”
- W cytowanych przez dr. Tomasza Talaśkę pracach [46, 169, 172, 173] (lista poniżej) przedstawiono zupełnie inne rozwiązania, nie wykorzystywane w tym artykule.
- [46] : Rozprawa doktorska dr inż. Piotra Grada,
 - [169] : R. Wojtyna, “CMOS analog memory with increased storage time”, International Conference on Signals and Electronic Systems (ICSSES), pp: 437-440, Łódź, 2006 r.,
 - [172] : R. Wojtyna, “A concept of long-term analog memory for neural network learning on silicon”. IEEE Workshop SPA 2007 (Signal Processing - Algorithms, Architectures, Arrangements and Applications), pp: 121-126, Poznań, 2008 r.,
 - [173] : R. Wojtyna, “Current-mode analog memory with extended storage time for hardware-implemented neural networks”, Elektronika, Numer 3/2009, 2009 r.

Przedstawiony artykuł w IEEE TCAS jest kontynuacją wcześniejszych prac w tym obszarze i zawiera sporo nowości w porównaniu z rozprawą doktorską dr Talaśki. W porównaniu z układem przedstawionym w jego rozprawie (str. 75 – mechanizm adaptacji), w wersji ulepszonej przedstawionej w artykule zastosowano nowatorskie rozwiązanie (mojego pomysłu) znacząco zmniejszające zjawisko upływności. Zaproponowane przeze mnie ulepszenie polegało na zmianie sterowania kluczami zastosowanymi w układzie. Dołożone zostały dwie bramki OR sterowane dodatkowym sygnałem S_C , dzięki którym istnieje możliwość podtrzymania prądów I_1 oraz I_3 (Rozdział IV B w artykule). W pierwotnej wersji układu sygnały zegarowe ck_1 oraz ck_2 bezpośrednio sterowały kluczami S_{C1} oraz S_{C2} , co powodowało że prądy te były okresowo wygaszane. W rezultacie powstawała różnica potencjałów pomiędzy punktami A i B

oraz C i D ($V_A < V_B$ oraz $V_C < V_D$), co było źródłem stosunkowo szybkiej utraty informacji z kondensatorów C_{ST1} oraz C_{ST2} .

Modyfikacja ta została poparta dokładną analizą działania układu wykonaną przeze mnie. Pomysł polegał na zaobserwowaniu faktu, że kiedy współczynnik η w trakcie procesu uczenia zbliża się do wartości zero, wtedy prądy $I_1 - I_4$ wyrównują swoje wartości, co wyrównuje potencjały V_A, V_B, V_C, V_D i w rezultacie poprawia parametry całego układu. Wprowadzenie tej modyfikacji spowodowało znaczące wydłużenie czasu trzymywania informacji w obu komórkach pamięci. Należy podkreślić, że innowacja ta jest głównym osiągnięciem przedstawionym w tym artykule, o czym wspomniano już w jego abstrakcie ("*This brief presents a new current-mode low-complexity flexible adaptive mechanism (ADM) with a strongly reduced leakage in analog memory.*"). Sam pomysł został opisany w rozdziale IV.B artykułu. Jestem również autorem Rysunku 5, który przedstawia porównanie działania układu w wersji bez kompensacji oraz przy zastosowaniu kompensacji zjawiska upływu.

Zajmując się problemem upływności korzystałem z własnych wcześniejszych doświadczeń opartych na projektowaniu analogowych komórek pamięci do filtrów analogowych, oraz komórek pamięci do dekoderek analogowych (praca z konferencji ISCAS z 2008 z dr. Vincentem Gaudetem). W tamtych projektach jakość komórek pamięci odgrywała kluczową rolę. Z tego względu uważam, że artykuł ten jest w dużej mierze również kontynuacją moich wcześniejszych prac.

- Optymalizacja układu którą się zajmowałem obejmowała również takie techniki jak np. zastosowanie kluczy-atrap (ang. "dummy switches") w komórkach pamięci (Rozdział IV.A w artykule). Podobne rozwiązania stosowałem we wcześniejszych swoich układach, m.in we wspomnianej pracy ISCAS 2008, oraz w filtrach FIR SC. Zastosowanie tych kluczy oraz optymalizacja ich wymiarów (mojego autorstwa) pod kątem tych konkretnych komórek pamięci pozwoliła w dużym stopniu wyeliminować zjawisko wstrzykiwania ładunku, co miało wpływ na poprawę dokładności całego układu.
- Analiza zjawiska niedopasowania tranzystorów (Rozdział IV C w artykule) jest całkowicie mojego autorstwa. Analiza taka nie występuje w rozprawie doktorskiej dr Talaśki. Optymalizacją tego typu zajmowałem się wcześniej przy okazji innych moich układów (w projektowaniu których dr Talaśka nie brał udziału), ale też innych bloków składowych sieci Kohonena. Analiza ta była kluczowa przy projektowaniu wersji układu adaptacji przedstawionej w artykule. Pozwoliła wyznaczyć optymalne rozmiary tranzystorów dla założonych zakresów prądów. Rysunek 6 w opisywanym artykule IEEE TCAS przedstawia podobną analizę jaką dla różnych technologii przeprowadziłem wcześniej w moim artykule z konferencji ISCAS 2008.
- Zaprojektowałem layout (w technologii CMOS 180 nm) mechanizmu adaptacyjnego po wprowadzeniu zaproponowanych modyfikacji.
- Miałem udział w symulacjach przedlayoutowych oraz polayoutowych pierwotnej (przedstawionej w artykule ESANN 2007) oraz ulepszonej wersji układu.
- W artykule całkowicie od podstaw napisana została przeze mnie część 'state-of-the-art' (rozdział I), razem z Tabelą I, dotyczącą komórek pamięci wraz z analizą upływności oraz czasu trzymywania informacji. Ta część artykułu wskazuje również na jego główną myśl przewodnią, jaką jest wydłużenie czasu trzymywania informacji. Spis publikacji w artykule obejmuje 22 prace, z czego własnych wcześniejszych prac cytujemy dwie. Z pozostałych 20 prac jedynie dwie znajdują się w spisie literatury rozprawy doktorskiej dr Talaśki. Wskazuje to na istotną nowość również w tym zakresie. Warto dodać, że spis literatury artykułu pokrywa się w większym stopniu z moją wcześniejszą pracą (ISCAS 2008). W tamtym artykule cytowanych było 9 prac dotyczących analogowych komórek pamięci (w tym po dwie tych samych autorów) z których 5 najbardziej istotnych znalazło się w spisie literatury omawianego artykułu z IEEE TCAS.

- Część wyników symulacji oraz pomiarów przedstawionych w artykule nie była publikowana w doktoracie dr Talaśki. Są to wyniki wynikające z zastosowania zaproponowanego mechanizmu kompensacji.
 - Główny udział w pracach nad artykułem, oraz uwagami zgłoszonymi przez recenzentów.
- 11.
- Główny udział (część analogowa) w koncepcji asynchronicznego i równoległego układu służącego do detekcji najmniejszego (MIN) lub największego (MAX) sygnału spośród zbioru niezależnych sygnałów wejściowych. Układ w wersji MIN został zastosowany w analogowej samoorganizującej się sieci neuronowej typu WTA, natomiast po dodaniu linii opóźniającej w wersji zarówno MIN jak i MAX układ może być użyty w filtrach nieliniowych. Pomysł układu jako całości jest mojego autorstwa. Wywodzi się z moich wcześniejszych prac nad filtrami analogowymi oraz sieciami neuronowymi Łukasiewicza przedstawionych w kolejnym artykule.
 - Udział w implementacji układu w technologii CMOS 180 nm (layout).
 - Udział w symulacjach przedlayoutowych oraz polayoutowych zaprojektowanego układu w środowisku Hspice oraz optymalizacji układu.
 - Przygotowanie analiz pokazanych na rysunkach 6, 7, 12, 13, 14 w artykule.
 - Analiza zjawiska niedopasowania tranzystorów oraz dobór optymalnych rozmiarów tranzystorów (analiza pokazana na Rys. 7).
 - Główny udział w redagowaniu artykułu do czasopisma.
- 12.
- Realizacja (technologia CMOS 180nm) sieci Łukasiewicza w oparciu o operatory rozmyte zaproponowane w pracy Yamakawy, cytowanej w artykule pod pozycją [14] (rozdział 4).
 - Analiza wpływu niedopasowania tranzystorów na zachowanie układu opartego na operatorach zaproponowanych przez Yamakawę (rozdział 4).
 - Propozycja własnej koncepcji takiej sieci oraz jej implementacji opartej na układach wykorzystujących komparatory pracujące w trybie prądowym (Rozdział 5, Rysunki 7 – 10). Koncepcja sieci opiera się na podobnych rozwiązaniach jak opisany wyżej układ MIN/MAX.
 - Wyprowadzenie wzorów (14 – 40), które były kluczowe podczas prac nad koncepcją układu.
 - Udział w weryfikacji zaproponowanej koncepcji sieci – implementacja układu w technologii CMOS 180 nm na poziomie netlisty symulowanej w środowisku Hspice.
 - Główny udział w redagowaniu artykułu do czasopisma.
- 13.
- Udział w tworzeniu koncepcji asynchronicznego i równoległego bloku służącego do detekcji najmniejszego lub największego sygnału spośród danego zbioru analogowych sygnałów wejściowych (prądowych lub napięciowych). W artykule zaproponowano oraz opisano obie wersje układu. Częścią zaproponowaną przeze mnie jest asynchroniczne drzewo binarne (zbudowane z bloków T_CMP), które w układzie znajduje się za konwerterami prąd - opóźnienie (ITC). Konwertery są pomysłem drugiego współautora artykułu.
 - Implementacja układu w technologii CMOS 180 nm na poziomie netlisty symulowanej następnie w środowisku Hspice, a następnie layoutu w środowisku Cadence.
 - Główny udział w redagowaniu artykułu do czasopisma.
- 14.
- Koncepcja układu służącego do wykrywania wartości szczytowej impulsu ("peak detector") do zastosowań w układach scalonych wykorzystywanych w obrazowaniu medycznym. Koncepcja układu opiera się górnoprzepustowym filtrze FIR pracującym w trybie prądowym (koncepcja filtrów opisana została w jednym z moich wcześniejszych artykułów z MIXDES 2006) wraz komparatorem, którego rolą jest wykrycie momentu w którym wyjście filtra staje się ujemne.
 - Symulacje układu w technologii CMOS 180 nm.
 - Główny udział w pracach nad przygotowaniem artykułu do czasopisma.

15.
 - W artykule przedstawiłem realizację przykładowego prototypowego układu scalonego do zastosowań w obrazowaniu medycznym, zawierającego komponenty opisane w trzech pracach przedstawionych powyżej. Układ zawierał osiem kanałów pracujących asynchronicznie połączonych z multiplekserem asynchronicznym.
 - W wykonanym układzie scalonym zmodyfikowałem strukturę detektora wartości szczytowej impulsu, zwiększając długość linii opóźniającej do trzech. Poprawiło to dokładność układu w porównaniu z układem przedstawionym wcześniej w artykule w Electronics Letters.
 - W artykule zaproponowałem również układ zegara, który jest wyzwalany asynchronicznie w momencie pojawienia się impulsu, przez co jest zsynchronizowany z tym impulsem.
 - W artykule przedstawiłem weryfikację polayoutową układu scalonego wykonanego w technologii CMOS 180 nm.
 - Artykuł jest jedynie mojego autorstwa dlatego bardziej szczegółowy komentarz nie jest konieczny.
16.
 - Koncepcja asynchronicznego oraz równoległego multipleksera do zastosowań w układach scalonych wykorzystywanych w obrazowaniu medycznym jest całkowicie mojego autorstwa.
 - Przed- oraz polayoutowe symulacje netlisty układu w technologii CMOS 180 nm.
 - Realizacja prototypowego układu scalonego do zastosowań w obrazowaniu medycznym zawierającego zaproponowany multiplekser (layout) oraz jego weryfikacja.
 - Główny udział w redagowaniu artykułu do czasopisma.
17.
 - Koncepcja (mojego autorstwa) filtru kształtującego impuls do zastosowań w układach scalonych wykorzystywanych w obrazowaniu medycznym.
 - Symulacje układu w technologii CMOS 180 nm.
 - Realizacja prototypowego układu scalonego do zastosowań w obrazowaniu medycznym zawierającego zaproponowany filtr oraz jego weryfikacja symulacyjna.
 - Główny udział w redagowaniu rozdziału do książki.

Rafał Długosz

