

Vancouver, Kanada, 03.09.2015

Krzysztof Iniewski, PhD  
CMOS Emerging Technologies Research Inc.  
1-1125 Kensal Pl., Coquitlam, BC, V3B 0G3, Canada  
e-mail: iniewski@ieee.org

### Oświadczenie

Oświadczam, że w niżej wymienionych publikacjach objętych rozprawą habilitacyjną dr inż. Rafała Długosza swój udział oceniam następująco:

L.p	Tytuł publikacji	Udział
1	R. Długosz, K. Iniewski, "Programmable Switched Capacitor Finite Impulse Response Filter with Circular Memory Implemented in CMOS 0.18 $\mu$ m Technology", <i>Journal of Signal Processing Systems</i> , Springer New York, Vol. 56, No. 2-3, pp. 295–306, Sept. 2009	15%
2	R. Długosz, K. Iniewski, "Flexible Architecture of Ultra-Low-Power Current-Mode Interleaved Successive Approximation Analog-To-Digital Converter for Wireless Sensor Networks", <i>VLSI Design Journal</i> , Hindavi Publishing, VLSI Design, Vol. 2007, Article ID 45269, 13 pages, DOI:10.1155/2007/45269, (2007)	25%
3	R. Długosz, K. Iniewski, "Analog-to-Digital Converters for Radiation Detection Electronics", Chapter 11 in <i>Electronics for Radiation Detection (Devices, Circuits, and Systems)</i> , CRC Press, 1st edition, ISBN-10: 1439816484, ISBN-13: 978-1439816486, (edited by: K. Iniewski), pp.285–312, (August 05, 2010)	20%
4	R. Długosz, K. Iniewski, "High precision analog peak detector for X-ray imaging applications", <i>Electronics Letters</i> , Vol. 43, Issue 8, pp. 440–441, (12 April 2007)	20%
5	R. Długosz, P.A. Farine, K. Iniewski, "Power Efficient Asynchronous Multiplexer for X-Ray Sensors in Medical Imaging Analog Front-End Electronics", <i>Microelectronics Journal</i> , Elsevier, Vol. 42, Iss. 1, pp.33–42, Jan. 2011	15%
6	R. Długosz, V. Gaudet, K. Iniewski, "Asynchronous Clock Generator for Flexible Ultra Low Power Successive Approximation Analog-to-Digital Converters", <i>Canadian Conference on Electrical and Computer Engineering (CCECE)</i> , Vancouver, Canada, pp.1649–1652, (April 2007)	10%
7	R. Długosz, K. Iniewski, "Synchronous and Asynchronous Multiplexer Circuits for Medical Imaging Realized in CMOS 0.18 $\mu$ m Technology", <i>SPIE International Symposium on Microtechnologies for the New Millennium</i> , Gran Canaria, Spain, Proc. SPIE, Vol. 6590, pp.65900V; DOI:10.1117/12.721239, (May 2007) %, pp. V--1--V--11	20%

**Mój szczegółowy udział w wyżej wymienionych publikacjach jest następujący:**

1.
  - a. Weryfikacja uzyskanych wyników symulacji filtru FIR z przełączanymi pojemnościami,
  - b. Pomoc przy redagowaniu artykułu,
  - c. Konsultacje i pomoc przy przygotowywaniu poprawionej wersji artykułu w odpowiedzi na uzyskane recenzje.
2.
  - a. Weryfikacja koncepcji przetwornika analogowo-cyfrowego zaproponowanego przez dr. Długosza
  - b. Weryfikacja wyników uzyskanych podczas symulacji układu
  - c. Pomoc przy redagowaniu artykułu

3.

- a. Pomoc konsultacyjna przy tworzeniu części dotyczącej 'state-of-the-art' rozdziału książki, w tym analizy porównawczej przetworników typu SAR z przetwornikami typu flash.
- c. Weryfikacja wyników porównawczych pokazanych na Rys. 11.2.

4.

- a. Udział w definiowaniu specyfikacji jaką spełniać musiał układ detektora wartości szczytowej zaproponowany przez dr Długosza, w kontekście zastosowań tego układu w określonej aplikacji medycznej.
- b. Weryfikacja uzyskanych wyników symulacji układu pod kątem ich zgodności z zadaną specyfikacją.
- c. Pomoc przy redagowaniu artykułu.

5.

- a. Określenie specyfikacji jaką spełniać musiał multiplexer asynchroniczny zaprojektowany przez dr Długosza w kontekście zastosowań tego układu w określonej aplikacji medycznej.
- b. Weryfikacja uzyskanych wyników symulacji polayoutowej wykonanego układu pod kątem ich zgodności z zadaną specyfikacją.
- c. Pomoc przy redagowaniu części 'State-of-the-art' zawartej w rozdziale drugim artykułu.
- d. Konsultacje i pomoc przy przygotowywaniu poprawionej wersji artykułu w odpowiedzi na uzyskane recenzje.

6.

Weryfikacja poprawności koncepcji przetwornika analogowo-cyfrowego typu SAR z dwustopniowym przetwornikiem cyfrowo-analogowym (dostarczającym sygnał odniesienia do komparatora) oraz zegarem asynchronicznym zaproponowanym przez dr. Długosza

7.

- a. Określenie specyfikacji jaką spełniać musiał multiplexer następnie zaproponowany oraz zaprojektowany przez dr Długosza na poziomie tranzystorów w technologii CMOS.
- b. Weryfikacja uzyskanych wyników symulacji układu pod kątem ich zgodności z zadaną specyfikacją.
- c. Pomoc przy redagowaniu artykułu.



Krzysztof Iniewski, PhD